

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-286304

(43)Date of publication of application : 13.10.2000

(51)Int.CI. H01L 21/60
H01L 21/46

(21)Application number : 11-094093

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 31.03.1999

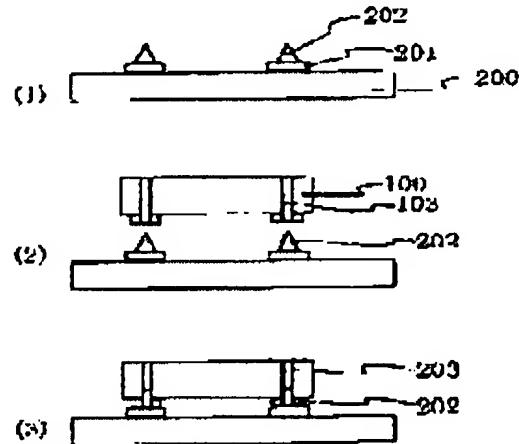
(72)Inventor : KURASHIMA YOHEI

(54) MANUFACTURE OF SEMICONDUCTOR ELEMENT, SEMICONDUCTOR ELEMENT, AND MANUFACTURE OF SEMICONDUCTOR DEVICE, AND MOUNTING MODULE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a bare chip with a recess at an electrode by allowing an electrode conductive part to be exposed, provided with an insulated through-hole.

SOLUTION: A through-hole 103 is provided at a pad on a semiconductor element 100, and a protruding electrode 202 on a substrate is inserted in the hole 103. The insert lowers connection energy for connection. A clearance for a bump material in the through hole direction is provided for connection, and the connection is evaluated with the through-hole



LEGAL STATUS

[Date of request for examination] 31.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-286304

(P 2 0 0 0 - 2 8 6 3 0 4 A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) Int. Cl.
H01L 21/60
21/46識別記号
311F 1
H01L 21/60
21/46テマコード (参考)
S 5F044
5F046

審査請求 未請求 請求項の数18 OL (全7頁)

(21) 出願番号 特願平11-94093

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(22) 出願日 平成11年3月31日 (1999. 3. 31)

(72) 発明者 倉島 幸平

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

井理士 鈴木 幸三郎 (外2名)

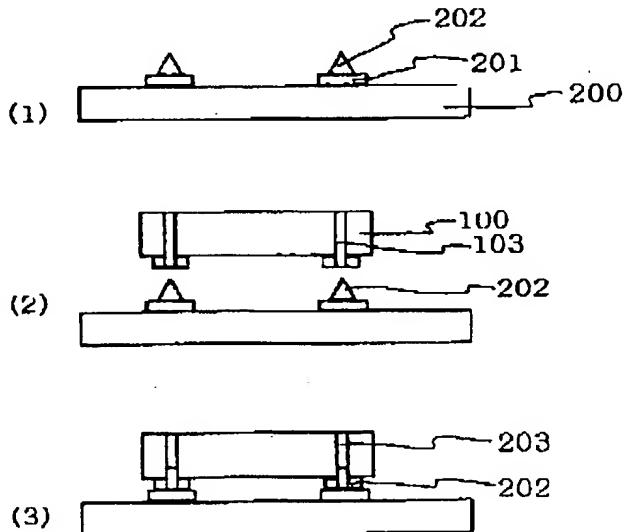
Fターム (参考) 5F044 KK02 KK17 KK18 KK19 KK25
LL15 QQ02 QQ03 QQ04 RR19
5F046 JA27 MA01 MA12

(54) 【発明の名称】半導体素子の製造方法、および半導体素子、および半導体装置の製造方法、および半導体装置、ならびに実装モジュール

(57) 【要約】

【課題】 本発明は、半導体素子の製造方法、および半導体素子、および半導体装置の製造方法、および半導体装置、ならびに実装モジュールに関する。特に、ヘアチップのフリップチップ実装に関する。

【解決手段】 半導体素子(100)側のバッド部に貫通穴部(103)を設け、前記穴部に基板側の突起電極(202)を挿入させる。挿入により接続エネルギーを低くして接続を行う。また、貫通穴方向へのバンプ材料の逃げを設け接続を行うことと、貫通穴により接続状態を評価することを行う。



【特許請求の範囲】

【請求項1】 半導体素子(100)の電極部(101)面に絶縁化層(102)を配置する第1の工程と、前記絶縁化層(102)と前記電極部(101)と半導体素子(100)とを貫通する貫通穴(103)を形成する第2の工程と、前記貫通穴(103)の内壁部(104)を含む範囲に絶縁処理を施す絶縁処理層(105)を形成する第3の工程と、前記電極部の絶縁層(102)を除去する第4の工程とを、この順序で行うことを特徴とする半導体素子の製造方法。

【請求項2】 半導体素子(110)の電極部(111)面に金めっき処理を行い金属層(116)を形成する第1の工程と、前記電極部(111)と半導体素子(110)とを貫通する貫通穴(113)を形成する第2の工程と、前記貫通穴の内壁部(114)を含む範囲に絶縁処理を施し絶縁処理層(115)を形成する第3の工程とを、この順序で行うことを特徴とする半導体素子の製造方法。

【請求項3】 請求項1記載の半導体素子の製造方法において、前記絶縁化層(102)は、樹脂材料により形成されることを特徴とする半導体素子の製造方法。

【請求項4】 請求項1記載の前記絶縁化層(102)は熱可塑系樹脂を加熱溶融することにより形成することを特徴とする半導体素子の製造方法。

【請求項5】 請求項3記載の前記絶縁化層(102)は、感光性樹脂により形成されることを特徴とする半導体素子の製造方法。

【請求項6】 請求項1ないし請求項5記載のいずれかの半導体素子の製造方法において、前記絶縁処理層(105)は熱硬化樹脂により形成されることを特徴とする半導体素子の製造方法。

【請求項7】 請求項1ないし請求項2記載のいずれかの半導体素子の製造方法において、前記絶縁処理層(105/115)は、酸化物のスパッタにより形成することを特徴とする半導体素子の製造方法。

【請求項8】 請求項2記載の半導体素子の製造方法において、絶縁処理を半導体素子の酸化により形成させることを特徴とする半導体素子の製造方法。

【請求項9】 請求項1記載の半導体素子の製造方法において、第一の工程から第4の工程までを、ウエハ状態で行い、最終工程にてダイシングし、半導体素子とすることを特徴とする半導体素子の製造方法。

【請求項10】 請求項2記載の半導体素子の製造方法において、第一の工程から第3の工程までを、ウエハ状態で行い、最終工程にてダイシングして、半導体素子とすることを特徴とする半導体素子の製造方法。

【請求項11】 請求項1ないし請求項2記載のいずれかの貫通穴形成工程をレーザー加工により形成することを特徴とする半導体素子の製造方法。

【請求項12】 請求項1ないし請求項2記載のいずれ

かの半導体素子の製造方法を実施することにより形成されることを特徴とする半導体素子。

【請求項13】 請求項12の半導体素子において、前記半導体素子の電極部を酸化防止機能を有する金属膜形成処理を実施していることを特徴とする半導体素子。

【請求項14】 請求項12記載の半導体素子(100/110)と、前記半導体素子の電極の貫通穴(103/113)の位置に突起電極(202)を有する配線基板(200)とを位置合わせする工程と、前記突起電極(202)を貫通穴(103/113)に挿入する工程と接続する工程とを、この順序で行うことを特徴とする半導体装置の製造方法。

【請求項15】 請求項14記載の製造方法において、前記挿入時に超音波を附加させることを特徴とする半導体装置の製造方法。

【請求項16】 請求項14記載の製造方法を実施することにより形成されることを特徴とする半導体装置。

【請求項17】 請求項16記載の半導体装置の貫通穴部(203)に電極処理を施し、突起電極(212)を形成し、請求項13記載の半導体素子を積層して構成されることを特徴とする実装モジュール。

【請求項18】 請求項17記載の実装モジュールの電極処理を、貫通穴部にワイヤーボンディングをすることにより形成することを特徴とする実装モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体素子の製造方法、および半導体素子、および半導体装置の製造方法、および半導体装置、ならびに実装モジュールに関する。特に、ペアチップのフリップチップ実装に関する。

【0002】

【背景技術】 従来のペアチップ実装は、大きく3つの方式が提案されている。1つは、ワイヤーボンディング技術を用いた実装方式であり、たとえば、実装基板上にペアチップを能動面を上（通常フェイスアップと称する）に接着し、チップのA1電極と基板上の電極配線とをA2のワイヤーにより接続する方式である。2つめの実装方式は、TAB (Tape Automated Bonding) 技術と云われる方式であり、例えば、PITape上のCuリードとチップ上のバンプ電極とをAu-Snの共晶合金により接続するものである。3つめは、フリップチップ実装と呼ばれる（フェイスタウン実装とも呼ばれる）もので、ペアチップのバンプ電極と基板上の電極をペアチップをフェイスタウンにして接続するものである。その実装方式は、はんだから樹脂系の接続方式まで各種提案されている。その場合の対向する電極は、チップのパッドに電極を凸型の電極を設け、基板側のパッドないしは、チップ側のパッドに、基板側の突起したパッド部を接合するという、凸型-凸型、凸型-平坦形、平坦形-凸型の組み合わせにより、接合を行って

(3)

3

特開2000-286304

4

いる。

【0003】また、その接合では、その接合条件が信頼性のある接合条件の為の重要な品質要因であり、各種の実装工法に対してそれぞれ最適条件が決められていた。

【0004】

【発明が解決しようとする課題】ところで、ペアチップの回路動向として、接続配線の狭ピッチ化、多ピン化の要求が高まってきた。また、配線ルールの狭ピッチ化に伴い、それを受けける基板も複雑になり、基板の特性を考慮した実装が必要となってきた。

【0005】また、近年電子機器の小型化に伴い電子機器の電源端子や、入出力用の信号端子の端子面積を縮小して、さらに電子機器を小型化しようとする動きも活発になっている。この様な状況の中で、高密度実装を実現できるフリップチップ実装の要求が高まってきた。

【0006】本発明はこの様な要求に応えるべくなされたものであり、微細ピッチな接合をストレスを少なくして接合することを提供することにある。また、フリップチップの短所である接続部が隠れ、検査を実施しにくい問題点に対して、課題を解決させることにある。

【0007】

【課題を解決するための手段】本発明の半導体素子の製造方法は、半導体素子(100)の電極部(101)面に絶縁化層(102)を配置する第1の工程と、前記絶縁化層(102)と前記電極部(101)と半導体素子(100)とを貫通する貫通穴(103)を形成する第2の工程と、前記貫通穴(103)の内壁部(104)を含む範囲に絶縁処理を施す絶縁処理層(105)を形成する第3の工程と、前記電極部の絶縁層(102)を除去する第4の工程とを、この順序で行うことを特徴とする。

【0008】本発明による半導体素子の製造方法によれば、電極導通部が露出され、かつ、絶縁処理された貫通穴を得るので、電極部に凹形状のあるペアチップを提供することができる。

【0009】本発明の半導体素子の製造方法は、半導体素子(110)の電極部(111)面に金めっき処理を行い金属性層(116)を形成する第1の工程と、前記電極部(111)と半導体素子(110)とを貫通する貫通穴(113)を形成する第2の工程と、前記貫通穴の内壁部(114)を含む範囲に絶縁化処理を施し絶縁処理層(115)を形成する第3の工程とを、この順序で行うことを特徴とする。

【0010】本発明による半導体素子の製造方法によれば、電極導通部が露出され、かつ、絶縁処理された貫通穴を得るので、電極部に凹形状のあるペアチップを提供することができる。

【0011】本発明の半導体素子の製造方法は、請求項1記載の半導体素子の製造方法において、前記絶縁化層(102)は、樹脂材料により形成されることを特徴と

する。

【0012】本発明による半導体素子の製造方法によれば、通常の安価なドライフィルムのようなレジスト材料を用いてラミネートすることができる。

【0013】本発明の半導体素子の製造方法は、請求項1記載の前記絶縁化層(102)は熱可塑系樹脂を加熱溶融することにより形成することを特徴とする。

【0014】本発明による半導体素子の製造方法によれば、通常のスピンドルコートの技術を利用して製造することができる。

【0015】本発明の半導体素子の製造方法は、請求項3記載の前記絶縁化層(102)は、感光性樹脂により形成されることを特徴とする。

【0016】本発明による半導体素子の製造方法によれば、能動面の電極部にのみレジスト処理を行うことが可能となる。

【0017】本発明の半導体素子の製造方法は、請求項1ないし請求項5記載のいずれかの半導体素子の製造方法において、前記絶縁処理層(105)は熱硬化樹脂により形成されることを特徴とする。

【0018】本発明による半導体素子の製造方法によれば、貫通穴部に絶縁層を容易に形成することができる。

【0019】本発明の半導体素子の製造方法は、請求項1ないし請求項2記載のいずれかの半導体素子の製造方法において、前記絶縁処理層(105/115)は、酸化物のスパッタにより形成することを特徴とする。

【0020】本発明による半導体素子の製造方法によれば、穴部の凹凸形状に対して安定して、膜付けを行うことが可能となる。

【0021】本発明の半導体素子の製造方法は、請求項2記載の半導体素子の製造方法において、絶縁化処理を半導体素子の酸化により形成させることを特徴とする。

【0022】本発明による半導体素子の製造方法によれば、加熱のみの工程で酸化膜付けが可能となり、安定的にかつ、穴部に対して、膜付けできる。

【0023】本発明の半導体素子の製造方法は、請求項1記載の半導体素子の製造方法において、第一の工程から第4の工程までを、ウエハ状態で行い、最終工程にてダイシングし、半導体素子とすることを特徴とする。

【0024】本発明による半導体素子の製造方法によれば、処理をウエハ状態で行うので、一括に処理することができ、高生産性が可能となる。

【0025】本発明の半導体素子の製造方法は、請求項2記載の半導体素子の製造方法において、第一の工程から第3の工程までを、ウエハ状態で行い、最終工程にてダイシングして、半導体素子とすることを特徴とする。

【0026】本発明による半導体素子の製造方法によれば、処理をウエハ状態で行うので、一括に処理することができ、高生産性が可能となる。

【0027】本発明の半導体素子の製造方法は、請求項

40

50

(4)

特開2000-286304

5

1ないし請求項2記載のいずれかの貫通穴形成工程をレーザー加工により形成することを特徴とする半導体素子の製造方法。

【0028】本発明による半導体素子の製造方法によれば、高アスペクトの微細径の貫通穴を容易に加工することができる。

【0029】また、本発明の半導体素子は、請求項1ないし請求項2記載のいずれかの半導体素子の製造方法を実施することにより形成されることを特徴とする半導体素子。

【0030】また、本発明による半導体素子によれば、半導体素子の電極部に穴がある構造となり、実装基板の突起部を半導体素子の穴に挿入すれば接続は実現し、実装基板に対しての実装性が向上する。

【0031】本発明の半導体素子は、請求項1の半導体素子において、前記半導体素子の電極部を酸化防止機能を有する金属膜形成処理を実施していることを特徴とする。

【0032】本発明による半導体素子によれば、その後の酸化膜付け工程に対して、反応することのない導電化層を維持できる。

【0033】本発明の半導体装置の製造方法は、請求項10記載の半導体素子(100/110)と、前記半導体素子の電極部の貫通穴(103/113)の位置に突起電極(202)を有する配線基板(200)とを位置合わせする工程と、前記突起電極(202)を貫通穴(103/113)に挿入する工程と接続する工程とを、この順序で行うことを特徴とする。

【0034】本発明による半導体装置の製造方法によれば、基板側の突起電極と、半導体素子側の電極とが容易に電気的接続の取れる構造を得ることができる。また、基板側の突起電極に対して、貫通穴部に突起電極の形状変形の逃げを有した構造をとることができる。また、貫通穴を通して、実装性を評価することができる。

【0035】本発明の半導体装置の製造方法は、請求項14記載の製造方法において、前記挿入時に超音波を附加させることを特徴とする。

【0036】本発明による半導体装置の製造方法によれば、半導体素子の電極部の酸化膜を排除でき、また、接続による界面での合金層を成長させることができ安定した接続を得ることができる。

【0037】本発明の半導体装置は、請求項14記載の製造方法を実施することにより形成されることを特徴とする。

【0038】本発明による半導体装置によれば、実装性検査性が容易な構造を提供できる。

【0039】本発明の実装モジュールは、請求項16記載の半導体装置の貫通穴部(203)に電極処理を施し、突起電極(212)を形成し、請求項13記載の半導体素子を積層して構成されることを特徴とする。

6

【0040】本発明による実装モジュールによれば、3次元実装をすろことが可能となり、実装密度を高められる。

【0041】本発明の実装モジュールは、請求項17記載の実装モジュールの電極処理を、貫通穴部にワイヤーボンディングをすることにより形成することを特徴とする。

【0042】本発明による実装モジュールによれば、容易に積層構造における上下導通電極を形成でき、3次元実装構造を提供できる。

【0043】

【発明の実施の形態】以下各図を参照して、本発明にかかる半導体モジュール製造方法を詳細に述べる。

【0044】図1は、本発明の一実施例による概略図である。図にそって製造方法について、説明する。まず、ペアチップ100の能動面にマスクテープとして、ラミネート処理を実施する。ラミネートテープ102は、ドライフィルム形態のレジスト剤を使用して、パッド部101を保護する。能動面にドライフィルムをラミネータにより貼付け、ペーリングし、レシストを作成した。次に、ペアチップのパッド部にレーザーによる穴あけを実施する。レーザーは、YAGの高調波を用いることで、パッド面積 $50\mu\text{m}^2$ 以内での穴あけが可能となり、 $20\sim30\mu\text{m}$ の貫通穴103を形成する。通常、パッドサイズは、 $100\mu\text{m}$ 角程度であり、パッドの中央部のみを加工した、他の能動面に欠陥を生じさせない穴あけが可能となる。次に、穴部104に絶縁処理を実施し、絶縁処理層105を作成する。絶縁処理は粘度の低い絶縁樹脂を用いて、毛細管現象により、穴部に樹脂を注入する。注入後、ペーリングし、樹脂を硬化させる。粘度を低粘度化することにより、貫通穴内壁面のみに絶縁処理をすることが可能である。ここで、ホットメルト系に代表される熱可塑系の樹脂を使用することにより、加熱により樹脂の粘度が下がり、容易に注入することが可能となる。次に、ラミネート剤をはがし、パッド部のみ導電部を露出させる。ウエットのエッティングにより、ドライフィルムからなるレジスト剤を剥離することができる。また、O2プラズマなどのドライのエッティングを能動面に対して行うことにより、パッドの電極を露出させることができる。このことにより、パッド部のみ導電化し、ほかの穴あけ部分を含めた部分は、絶縁化されたペアチップを作成することができる。

【0045】一方、図2に基板側の処理および半導体装置の実装方法について説明する。基板200側の電極201に凸型の電極として、スタッドバンプ202を作成する。基板側にはあらかじめAuメッキ処理を施し、バンプ付けを行う。バンプは、ワイヤーボンディングの技術で、 $\phi 25\mu\text{m}$ 程度のAu線を用いて、ワイヤーボンディングの1次側の接続を行い、引き下切り方式により、突起電極を作成する。スタッドバンプにより、 $50\mu\text{m}$ 高さ

50

(5)

特開2000-286304

7

程度の円錐状の突起電極を形成させることができる。その後、前述の、バンプ部に貫通穴103を作成したペアチップ100をフリップチップ実装する。接続では、基板の配線パターンと、チップの能動面パターンを個別に画像認識して、位置合わせを行う。その後、圧入により、チップの貫通穴部103に基板側のバンプ202を挿入する。スタッダードバンプは、Au材で作られており、Auの延性により形状の変化が大きく取れ、十分な接続面積を得ることができる。また、接合では、圧入により行われるので、特別に加熱する必要はない。

【0046】バンプ付けは、スタッダードバンプの例で説明したが、メッキバンプであっても接続は可能であり、Auの延性を利用して接続を確保できる。

【0047】また、接合に関しては、圧入時に超音波を与えることによりより確実な接合を得ることができる。ペアチップのパッドは通常Alで形成されるが、Alは酸化されやすく強固な酸化膜を形成させやすい。そのため、接合時に超音波を与え、Alの酸化膜を除去し接合させれば安定した接合が得られる。なお、パッドを酸化しにくい金属でメタライズしておけば問題ない。

【0048】また、接合時に加熱することにより、スタッダードバンプとバンプの金属との安定した金属間化合物が形成されより安定した接合が可能となる。接合後のベーキングにより金属間化合物を安定化させることもできる。通常の接続では、合意近接族の場合、合金組成の安定化、また接着剤による接続の場合、気泡の防止、樹脂硬化率の安定化などのために、接続条件はシビアに管掻される。それに対して、本発明によれば、基本的には、突起電極を穴部に挿入すれば、電気的接続が得られることになり、非常に接続管理ポイントを少なくすることができる。

【0049】この方式によれば、微細ピッチ接続の場合、隣り合うバンプのショートが問題となるが、チップに貫通穴があることで、スタッダードバンプのバンプ材の挿入に対して余剰のバンプの逃げる部分が形成されて、隣り合うバンプの変形によるショートの発生確率を下げることができる。また、基板を有機基板にした場合、基板の凹凸によりフリップチップ実装面内で10数μmの段差が発生し、それに対して、オープン、ショートの発生なく接続が取られなければならない。そのため、接合部のバンプはかなり変形し、特に基板の凸部である範囲ではチップと基板とのギャップが狭くなり、変形度合いが大きい。この要求に対して、本方式ではスタッダードバンプの変形の逃げ先により対応ができる。

【0050】また図3に示すように、接続時にアンダーフィル材211を塗布し、フリップチップ実装を行い、アンダーフィルを形成させることができる。アンダーフィル材は、フリップチップ実装後の乾燥工程により、加熱硬化することができ、ポンディング工程そのものは、短時間での処理が可能となる。

10

8

【0051】また、接続部は、本方式によれば、Al材であり、延性があることから、ワイヤーボンディングと同等に、熱膨張歪による発生応力に対して、十分に応力緩和ができることになる。

【0052】また接続後に、貫通穴へのバンプ挿入量を管理することで、接続品質を管理することができる。また、電極接続部は、露出されており、チップの貫通穴を通して、搭載すればチェックすることが可能であるし、チップの貫通穴にピンを挿入することで、電気的接続検査を実施することも可能である。

【0053】また、貫通穴があることにより、接続前の位置合わせにおいて、同一方向のカメラから貫通穴を通して、貫通穴位置と基板の電極位置の認識が可能となる。

【0054】図4は、本発明の別の実施例である。まず、ペアチップ110のパッド111に対して、表面処理を行う。表面処理は、無電解メッキプロセスを用いて、パッドにメタライズ116を実施する。まず、Alパッドに対して、ジンケート処理を行い、次に、無電解処理として、Niメッキ、Auメッキを行う。Alパッドに対して、酸化防止膜を形成すれば良く、無電解Auメッキは1μm以下の薄い層で十分である。無電解メッキによれば、電極部に対して特にマスクを作成せずにメタライズが可能となり、低コストで処理が可能となる。次に、レーザーにより、パッド部の穴あけを実施する。先述の例と同様に、YAGの高調波により、数十μmの貫通穴113を形成することが可能である。その後、穴部の絶縁処理として、酸化膜を作成する。酸化膜115は、加熱酸素雰囲気中による拡散で作成する。このことにより、チップ電極部のみ導電化され、他のエリアは、酸化膜形成により絶縁されたチップが形成できる。このチップを用いることで、先に説明したように配線基板に対してチップを実装することができる。

【0055】上記内容は、ペアチップ単体について説明したが、ウエハに対して、ト記プロセスを実施することができる。ウエハレベルで処理することにより、生産性が高く、一括に処理することができる。

【0056】また、説明では、レーザーによる貫通穴を作成したが、基板側のバンプがチップ側の穴に圧入できればよく、貫通穴である必要はない。

【0057】また、図5は、本方式を用いた横層実装モジュールの例である。先述の説明のように、ペアチップ100/110を実装した後で、裏面を研磨し、チップ厚みを50μm以下にする。もちろん、最初のペアチップの状態で50μm以下にしておいてもよい。このことにより、チップ裏面に対して、チップ裏面から、能動面側の基板との接続端子部のAl材までの深さである段差を20μm程度にすることができる。その後、チップ側にスタッダードバンプ212を作成する。バンプは、作成するバンプ径にもよるが、Φ25μmのAu線を用い、スパ

40

50

(6)

9

ーク径 $60\mu m$ で作成した。チップ上面の貫通穴電極部に $20\mu m$ 程度の段差があることになるが、その部分に、ワイヤーボンディングを行う。貫通穴部が薄いことにより、貫通穴部に金が圧入されて接続が可能となる。この際、貫通穴を通して、下の金電極と、チップ上面に形成したスタッドバンプとが、金-金の合金を形成し、接続信頼性をうることができる。その後、前述と同様に、このスタッドバンプによる突起電極を用いて、チップに貫通穴処理を施したチップ300を実装する。

【0058】チップの積層は、メモリーのように同一端子を接続できる形態のものについて実施例があるが、本方式によれば、下側のチップに特に、電極を設ける必要はなく、下側のチップに回路形成をしない領域を作り、そこに貫通穴を空け、基板とは2段目のチップの電極と配線するようにすれば、チップサイズによらず、また、1段目と2段目で同一の共通電極を作らすに、段積みしての回路形成が可能となる。つまり、下段側のチップ設計を工夫することにより、パッケレイアウトが異なった、また、チップサイズが異なった、ペアチップの積層が容易に可能となる。

【0059】また、本例では、1段目と2段日の上下導通をワイヤーボンディングによるスタッドバンプ作成で説明したが、ピン等の導通材料の圧入により1段目のチップに対して、接続部の突起電極部を突出させ、2段日の挿入電極として使用することができる。

【0060】以上の実装モジュールによれば、チップの上下導通をチップ内に形成したビアにより行い、3次元的に、究極の省スペースで、チップ回路を構成することが可能となる。

【0061】

【発明の効果】本発明による半導体素子の製造方法によれば、電極導通部が露出され、かつ、絶縁処理された貫通穴を得ることができるので、電極部に凹形状のあるペアチップを提供することができる。

【0062】また、本発明による半導体素子の製造方法によれば、通常の安価なドライフィルムのようなレジスト材料を用いてラミネートすることができます。

【0063】また、本発明による半導体素子の製造方法によれば、通常のスピニコートの技術を利用して製造することができる。

【0064】また、本発明による半導体素子の製造方法によれば、能動面の電極部にのみレジスト処理を行うことが可能となる。

【0065】また、本発明による半導体素子の製造方法によれば、貫通穴部に絶縁層を容易に形成することができる。

【0066】また、本発明による半導体素子の製造方法によれば、穴部の凹凸形状に対して安定して、膜付けを行うことが可能となる。

【0067】また、本発明による半導体素子の製造方法

(6)

特開2000-286304

10

によれば、加熱のみの工程で酸化膜付けが可能となり、安定的にかつ、穴部に対して、膜付けできる。

【0068】また、本発明による半導体素子の製造方法によれば、処理をウエハ状態で行うので、一括に処理することができ、高生産性が可能となる。

【0069】また、本発明による半導体素子の製造方法によれば、高アスペクトの微細径の貫通穴を容易に加工することができる。

【0070】また、本発明による半導体素子によれば、半導体素子の電極部に穴がある構造となり、実装基板の突起部を半導体素子の穴に挿入すれば接続は実現し、実装基板に対しての実装性が向上する。

【0071】本発明の半導体素子は、請求項10の半導体素子において、前記半導体素子の電極部を酸化防止機能を有する金属膜形成処理を実施していることを特徴とする。

【0072】本発明による半導体素子によれば、その後の酸化膜付け工程に対して、反応することのない導電化層を離脱できる。

20 【0073】本発明による半導体装置の製造方法によれば、基板側の突起電極と、半導体素子側の電極とが容易に電気的接続の取れる構造を得ることができる。また、基板側の突起電極に対して、貫通穴部に突起電極の形状変形の逃げを有した構造をとることができる。また、貫通穴を通して、実装性を評価することができる。

【0074】本発明による半導体装置の製造方法によれば、半導体素子の電極部の酸化膜を排除でき、また、接続による界面での合金層を成長させることができ安定した接続を得ることができる。

30 【0075】本発明による半導体装置によれば、実装性検査性が容易な構造を提供できる。

【0076】本発明による実装モジュールによれば、3次元実装をすることが可能となり、実装密度を高められる。

【0077】本発明による実装モジュールによれば、容易に横層構造における上下導通電極を形成でき、3次元実装構造を提供できる。

【図面の簡単な説明】

【図1】本発明の一実施例説明する概略図である。

40 【図2】本発明の一実施例説明する概略図である。

【図3】本発明の一実施例説明する概略図である。

【図4】本発明の一実施例説明する概略図である。

【図5】

【符号の説明】

100 半導体素子

101 半導体素子の電極

102 絶縁層

103 貫通穴

104 貫通穴の壁面

105 絶縁処理層

50

(7)

特開2000-286304

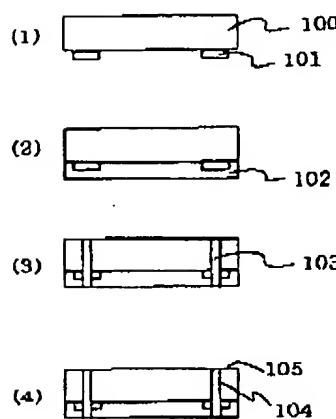
11

12

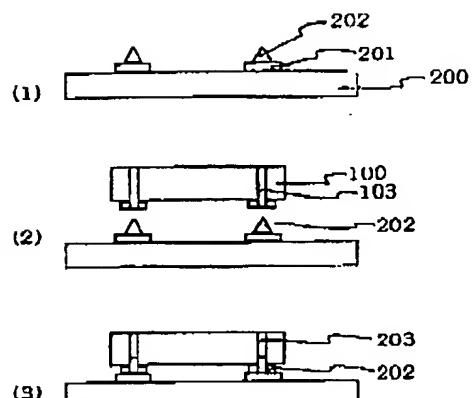
- 110 半導体素子
 111 半導体素子の電極
 113 貫通穴
 114 貫通穴の駆面
 115 電極のメタライズ面
 200 基板

- 201 基板の電極
 202 突起電極
 203 半導体装置の穴部
 212 突起電極
 300 半導体素子

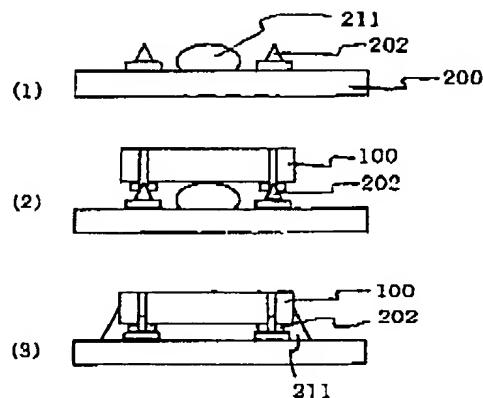
【図1】



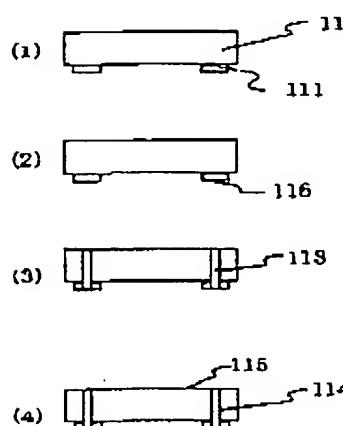
【図2】



【図3】



【図4】



【図5】

